

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : **Takeshi OKAZAWA**  
Filed : **Concurrently herewith**  
For : **MRAM AND DATA WRITING ...**  
Serial No. : **Concurrently herewith**

October 21, 2003

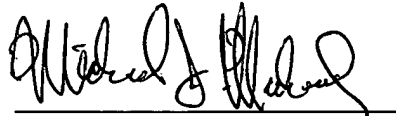
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**PRIORITY CLAIM AND**  
**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Applicant hereby claims priority under 35 USC 119 from **Japanese** patent application number **2002-308549** filed **October 23, 2002**, a copy of which is enclosed.

Respectfully submitted,

  
\_\_\_\_\_  
Michael I. Markowitz  
Reg. No. 30,659

Katten Muchin Zavis Rosenman  
575 Madison Avenue  
New York, NY 10022-2585  
(212) 940-8800  
Docket No.: NEC 20.688

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

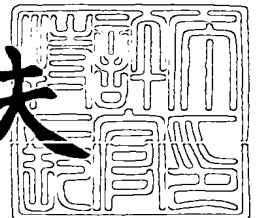
出願年月日 2002年10月23日  
Date of Application:

出願番号 特願2002-308549  
Application Number:  
[ST. 10/C]: [JP 2002-308549]

出願人 NECエレクトロニクス株式会社  
Applicant(s):

特許庁長官  
Commissioner,  
Japan Patent Office

2003 年 8 日  
今、 康 夫



【書類名】 特許願

【整理番号】 75010422

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 岡澤 武

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

    【代表者】 西垣 浩司

【代理人】

    【識別番号】 100082935

    【弁理士】

    【氏名又は名称】 京本 直樹

【選任した代理人】

    【識別番号】 100082924

    【弁理士】

    【氏名又は名称】 福田 修一

【選任した代理人】

    【識別番号】 100085268

    【弁理士】

    【氏名又は名称】 河合 信明

【手数料の表示】

    【予納台帳番号】 008279

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MRAM及びその書込方法

【特許請求の範囲】

【請求項 1】 一方向に書込電流が流れる第1の配線と、前記配線に接続され前記書込み電流を制御する選択トランジスタと、前記選択トランジスタが設けられた前記配線の位置より上流側に配置された各々の一端が前記配線に接続された複数のMRAMセルとを有することを特徴とするMRAM。

【請求項 2】 前記MRAMセルの他端は両方向に電流が流れる第2の配線に接続されたことを特徴とする請求項1記載のMRAM。

【請求項 3】 前記第1の配線は第1の副配線であり、前記第1の副配線は第1の主配線とトランジスタを介すること無しに接続され、前記第2の配線は第2の副配線であり、前記第2の副配線は第2の主配線とトランジスタを介して接続されていることを特徴とする請求項2記載のMRAM。

【請求項 4】 主ビット線と、一端が前記主ビット線に接続された副ビット線と、主ワード線と、一端が前記主ワード線に接続された副ワード線と、前記副ワード線及び前記副ビット線の間に設けられたMRAMセルと、前記副ワード線及び前記副ビット線のどちらか一方の他端に設けられた選択トランジスタとを備えることを特徴とするMRAM。

【請求項 5】 前記選択トランジスタの基板電流が前記副ビット線又は副ワード線に流れる書込電流となることを特徴とする請求項4記載のMRAM。

【請求項 6】 前記基板電流は、前記選択トランジスタのドレインにブレークダウン電圧を印加して発生させたスナップバック現象に基づくことを特徴とする請求項5記載のMRAM。

【請求項 7】 前記書込電流は、前記主及び副のビット線及び前記主及び副ワード線の一方に付随する静電容量に蓄積された電荷が放電される際の電流であることを特徴とする請求項5記載のMRAM。

【請求項 8】 第1の方向に延在する複数の第1の副行線と、第1の方向と異なる第2の方向に延在する複数の第1の副列線と、前記複数の第1の副行線及び前記複数の第1の副列線交点に配置されたMRAMセルから構成された第1の

メモリセルアレイと、前記第 1 の方向に延在する複数の第 2 の副行線と、前記第 2 の方向に延在する複数の第 2 の副列線と、前記複数の第 2 の副行線及び前記複数の第 2 の副列線交点に配置された MRAM セルから構成された第 2 のメモリセルアレイと、前記第 1 の方向に延在する複数の第 3 の副行線と、前記第 2 の方向に延在する複数の第 3 の副列線と、前記複数の第 3 の副行線及び前記複数の第 3 の副列線交点に配置された MRAM セルから構成された第 3 のメモリセルアレイと、前記第 1 のメモリセルアレイ及び前記第 2 のメモリセルアレイに対し共通に設けられた複数の主行線と、前記第 1 のメモリセルアレイ及び前記第 3 のメモリセルアレイに対し共通に設けられた複数の主列線とを有し、

前記第 1 のメモリセルアレイの複数の行線の夫々は二つの端部を有し、前記端部のうちの一方は前記対応する主行線に接続され、前記端部のうちの他の一方は第 1 の行選択トランジスタに接続され、

前記第 1 のメモリセルアレイの複数の列線の夫々は二つの端部を有し、前記端部のうちの一方は列選択トランジスタを介して前記主列線に接続され、前記端部のうちの他の一方は書込回路に接続されることを特徴とする MRAM。

【請求項 9】 書込時に前記行線に流す所定の書込電流は、前記行線の静電的な容量に予め蓄積した静電荷を前記行選択トランジスタの行選択信号線に所定の信号を与えることにより前記行選択トランジスタを導通状態にすることで放電する際に生じた電流であることを特徴とする請求項 8 の MRAM。

【請求項 10】 行選択トランジスタの導通状態は、電流が前記行選択トランジスタのドレインから基板方向へ流れる状態であることを特徴とする請求項 9 の MRAM。

【請求項 11】 第 1 の方向に延在する複数の行線と、第 1 の方向と異なる第 2 の方向に延在する複数の列線とで配線マトリクスが構成され、前記複数の行線と複数の列線の交点には MRAM セルを有し、前記メモリセルを介して前記複数の行線と複数の列線は電氣的に接続されて第 1 のメモリセルアレイを構成し、前記第 1 のメモリセルアレイに隣接して前記第 1 の方向には、第 2 のメモリセルアレイを有し、前記第 2 のメモリセルアレイは第 1 の方向に延在する複数の行線と、第 2 の方向に延在する複数の列線とからなる配線マトリクスと前記第 1 のメ

メモリセルアレイと同様に前記複数の行線と複数の列線の交点に設けられたMRAMセルから成り、前記第1のメモリセルアレイに隣接した、前記第2の方向には、第3のメモリセルアレイを有し、前記第3のメモリセルアレイは第1の方向に延在する複数の行線と、第2の方向に延在する複数の列線とからなる配線マトリクスと前記第1のメモリセルアレイと同様に前記複数の行線と複数の列線の交点に設けられたMRAMセルから成り、前記第1のメモリセルアレイと前記第2のメモリセルアレイは共通に複数の主行線を有し、前記第1のメモリセルアレイの複数の行線の1本は二つの端部を有し、前記端部のうちの一方は前記主行線に接続され、前記端部のうちの他の一方は第1の行選択トランジスタに接続されることを特徴とするMRAM。

【請求項12】 TMRセルを備えるMRAMの書込方法であって、前記TMRセルにスナップバック電流を用いて書込みを行うことを特徴とするMRAMの書込方法。

【請求項13】 TMRセルを備えるMRAMの書込方法であって、ワード線及びビット線のどちらか一方の静電容量に電荷を蓄積する工程と、前記蓄積した電荷を放電させ、その放電電流を利用して前記TMRセルに書込を行う工程とを有することを特徴とするMRAMの書込方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、MRAM (Magnetic Random Access Memory) 及びその書込方法に関する。

##### 【0002】

#### 【従来の技術】

近年、基板上に高密度集積した磁性体を記憶セルとし、磁気記録の不揮発性及び高速性、繰り返し耐性を備えたMRAMが、次世代メモリとして期待されている。

##### 【0003】

図7は、MRAMのメモリセルの基本構造及び動作を説明する図面である。

図7(a)に示す様に、MRAMセルは、強磁性膜よりなり磁化方向が固定された固定層12、絶縁膜13、強磁性膜よりなるデータ記憶層14からなり、下層配線11及び上部配線15の間に設けられる。

#### 【0004】

図7(b)は、図7(a)に示したメモリセルのデータ記憶及び読出動作を示す図面である。

情報の記憶は、固定層12とデータ記憶層14の磁化の方向が、互いに“平行(データ0に相当)”と“反平行(データ1に相当)”では、絶縁膜の抵抗値が30%~40%変化するという“磁気抵抗効果”を利用して行われる。この記憶は、上層配線15、下層配線11に所定の電流を流すことで生じる外部磁場によって、データ記憶層14の磁化の方向を変化させることで例えば2値の記憶を行う。

#### 【0005】

情報の読出は、上層配線15と下層配線11間に所定の電位差を与えることにより、下層配線11から上層配線15へ、固定層12、絶縁層13、データ記憶層14を貫通して、トンネル電流16を流すことにより実施される。すなわち、トンネル磁気抵抗効果により絶縁層13を挟んだ二つの強磁性層12、14の磁化の方向が前述した、平行かあるいは反平行によって抵抗値が変化し、その電流変化を検出することでセルに記憶された情報が外部へ読出される。

#### 【0006】

図8は、図7に示したメモリセルがアレイ状に配置されたMRAMの書込動作を示す図面である。

ここでは、メモリセルMCに情報を書込むものとして説明する。データの書込時に選択的にワード線W112及びビット線B152に所定の電流(それぞれ、書込電流C1、C2)を流すことにより、配線の周囲に誘起された磁場(それぞれ、磁場M1、M2)に基づく合成磁場M12を利用して、メモリセルMCのデータ記憶層の磁区(ドメイン)を一方向に揃えることにより書込みが実現する。

一方、反対の情報をメモリセルMCに記憶させるには、選択的にワード線W112及びビット線B152のうちの一方、例えばビット線B152の電流方向を前述され



た情報の書込時と反転させる。これにより、磁場M2の方向を180度変え、合成磁場M12を90度変化させて、メモリセルMC中のデータ記憶層の磁区を強制的に反転させる。これにより、外部磁場によって固定層及びデータ記憶層の磁区の方向の“平行”“反平行”が実現できる。

#### 【0007】

このように、MRAMメモリセルアレイでは、選択されたワード線及びビット線の交点にあるメモリセルに流れる電流を検出することにより、記憶状態を判別するが、メモリセルアレイ自体の規模が大きくなるとワード線、ビット線の配線抵抗や配線容量が大きくなり、検出する読出し時のメモリセルの電流値が小さくなったり、読出し時の応答遅延が大きくなる。

特に配線容量は、メモリセルが2層の強磁性膜に挟まれた約2nmの絶縁膜により構成されるために、主成分は配線自体の容量よりも配線に接続されたメモリセルに起因する成分が大きい。それ故、接続されたメモリセルの数が多くなるとそれに比例して配線容量が増大する。

そのような問題を避けるため、従来は読出し時の電流レベルが所定の値を下回ることの無いように例えば配線抵抗に上限を設けたり、配線容量の増大を避けるために配線長を制限し、その結果メモリセルアレイの規模を制限するなどの対策を採っていた。

しかしながら、MRAM容量が大きくなるにつれて、メモリセルアレイの規模も大きくならざるを得ず、この問題は次第に重要になってきた。

#### 【0008】

このような問題に対して、メモリセルアレイを分割する提案がされている。

#### 【0009】

図9は、そのような構成を模式的に表したもので、副ワード線SW1～SW<sub>m</sub>、副ビット線SB1～SB<sub>n</sub>から構成される副メモリセルアレイを示す図面である。

#### 【0010】

副メモリセルアレイを構成する副ワード線SW1～SW<sub>m</sub>は、副ワード線選択トランジスタWT1～WT<sub>m</sub>を介して主ワード線W1～W<sub>m</sub>に夫々接続される。副ビット線SB1～SB<sub>n</sub>は、副ビット線選択トランジスタBT1～BT<sub>n</sub>を介して、主ビ

ット線B1～Bnに夫々接続される。このように、メモリセルアレイをビット線及びワード線を主、副の階層構造で構成する。（例えば特許文献1参照）

【特許文献1】

特開 2002-170379号公報（図1）

【特許文献2】

特開平 10-290004号公報（図7）

【0011】

【発明が解決しようとする課題】

しかしながら、MRAMは、高速の書き換え、読出しという高性能の反面、書込時に配線に電流を流して誘起磁界を発生させるため、比較的大きな書込電流、すなわち1メモリセル当たり数ミリアンペアが必要になるが、そこに上述した問題を避けようとして従来のメモリセルアレイをブロックに分割する方法を導入すると、以下のような問題が生じることがある。セルアレイの分割は、上で述べたようにセルアレイ全体を貫通する主ビット線と主ワード線および各ブロック（副セルアレイ）内のみを走る副ビット線、副ワード線からなる階層構造を採ることになる。そのような主ビット線、主ワード線を副ビット線、副ワード線と切り替えるためのスイッチング素子として、通常のMOS型トランジスタが必要になる。そのようなスイッチング素子を、分割された各ブロック内に形成し、主ビット線と副ビット線、主ワード線と副ワード線の切り替えを行うが、MRAMでは書込時の電流に対応してスイッチング素子としてのMOS型トランジスタは、ミリアンペアレベルの電流を流す能力が要求される。良く知られているように、MOS型トランジスタは、ゲート電極の幅（W）に比例し、長さ（L）に反比例した電流を流すことが出来るため、スイッチング素子としてのMOS型トランジスタは、ゲート電極の長さ対幅の寸法比率が決まり、さらにある設計条件が決まればそこから必然的に必要とされるゲート電極の長さおよび幅の絶対値が決定されることになる。通常、数ミリアンペアの電流を流すにはWとLの比率を10～50程度にしなくてはならず、例えばLとして $0.2\mu$ のMOS型トランジスタ素子を形成しようとするWとしては必然的に $2\sim 10\mu$ の寸法が必要になる。

【0012】

**【課題を解決するための手段】**

本発明は、磁気トンネル抵抗素子（TMR素子）を用いてメモリセルを形成した磁気メモリ（MRAM）において、新規なアレイ構成とその動作、更により小型の平面レイアウトを提供する。

**【0013】**

本発明のMRAMは、一方向に書込電流が流れる配線と、配線のうち書込み電流の下流側に設けられた選択トランジスタと、配線のうち選択トランジスタが設けられた位置より上流側に設けられた複数のMRAMセルとを有することを特徴とする。MRAMセルの他端は両方向に電流が流れる第2の配線に接続されたことを特徴とする。第1の配線は第1の副配線であり、第1の副配線は第1の主配線とトランジスタを介すること無しに接続され、第2の配線は第2の副配線であり、第2の副配線は第2の主配線とトランジスタを介して接続されていることを特徴とする。第1及び第2の主配線は、主ビット線や主ワード線であり、第1及び第2の副配線は副ビット線や副ワード線である。

**【0014】**

より詳細には、本発明は、メモリセルアレイのスイッチング素子としてのMOS型トランジスタスイッチトランジスタを従来（図9参照）とは逆にサブメモリセルアレイの末端部にのみ配置し、主ビット線と副ビット線、又は主ワード線と副ワード線を直接接続する。スイッチトランジスタは、主ビット線ー副ビット線ースイッチトランジスタの順で直列に接続するが、上記接続に流れる電流をスイッチトランジスタの電流導通状態を制御することが出来るのでサブメモリセルアレイの選択が可能になる。また本発明は、スイッチトランジスタの動作において、上述したようにゲート電極幅と長さに依存したチャネル電流を利用するのではなく、ドレイン拡散層から半導体基板に流れる電流（基板電流）を利用する。基板電流は、ドレインにブレイクダウン近くの電圧を印加した、所謂スナップバック電流を利用してもよい。換言すれば、スイッチトランジスタをオンさせる際の動作原理は、通常のMOSトランジスタのゲート電極によるチャネル形成の有無によるのではなく、ドレイン電極の接合ブレイクダウン、若しくはドレイン電極からの基板方向へ流れる電流を利用する。

## 【0015】

以上のように、本発明は、選択トランジスタを、配線の下流に設けたので、書込み電流が選択トランジスタのチャネル電流に律速されることがなくなる。更に詳細には、本発明は、スイッチトランジスタのチャネル電流を用いるのではなく、基板電流を利用するので、チャネルの $W/L$ に依存することなく、小さなトランジスタ面積で大きな電流を流すことが出来る。その結果、本発明は、メモリセルアレイの面積を縮小することが出来る。

## 【0016】

本発明は、更に通常の直流電流を定常的に流すのではなく、主ビット線の静電容量を利用して電荷を蓄積し、その電荷をスイッチトランジスタをオンさせることで一時に放電し、その放電時に流れる電流を活用してメモリセルの書込を行っても良い。

## 【0017】

本発明は、ワード線とビット線に所定の書込電流を流すことによりワード線とビット線の周囲に磁界を誘起し、ワード線とビット線の交点にあるメモリセルに前記誘起された磁界により0或いは1の2値の記憶を行うものである。

## 【0018】

本発明のメモリセルは、第1および第2の磁性薄膜と、第1および第2の磁性薄膜によって挟まれた絶縁膜よりなる少なくとも3層膜の磁気抵抗素子により構成され、外部磁場の大きさの変化により第1、第2の強磁性薄膜の磁化の方向が平行、反平行に変化しそれによって絶縁膜中のトンネル電気抵抗の違いで、0或いは1の2値の記憶を行う記憶素子である。

## 【0019】

本発明のワード選択トランジスタ及びビット選択トランジスタはMOS型トランジスタ（例えばn型）で、夫々ゲート電極はワード選択信号線並びにビット選択信号線に接続され、夫々ワード選択信号並びに列選択信号によって制御される。本発明のMRAMは、複数の副メモリセルアレイに対し共通の書込回路、及び読出回路を有しても良い。ワード線およびビット線には書込電流が同時に流れるように、スイッチトランジスタがオンするタイミングを同期させる手段を有するの

がより望ましい。スイッチトランジスタのドレイン拡散層は、比較的低いブレークダウン電圧を有する構造がより望ましい。

#### 【0020】

本発明のTMRセルを備えるMRAMの書込方法は、TMRセルにスナップバック電流を用いて書込みを行うことを特徴とする。

#### 【0021】

本発明のTMRセルを備えるMRAMの書込方法は、ワード線及びビット線のどちらか一方の静電容量に電荷を蓄積する工程と、蓄積した電荷を放電させ、その放電電流を利用してTMRセルに書込を行う工程とを有することを特徴とする。

#### 【0022】

##### 【発明の実施の形態】

本発明の前記ならびにその他の目的、特徴、及び効果をより明確にすべく、以下図面を用いて本発明の実施の形態につき詳述する。

#### 【0023】

図1は、本発明のMRAMの第1の実施の形態を示す図面であって、本発明のMRAMの副メモリセルアレイSMA1を示す図面である。

副メモリセルアレイSMA1は、複数の主ワード線W1~Wm (m: 2以上の自然数) 及び複数の主ビット線B1~Bn (n: 2以上の自然数) を備える。主ワード線W1~Wmは主ビット線B1~Bnと交差するように配置される。

#### 【0024】

副ワード線SW1~SWmは、夫々主ワード線W1~Wmと平行に配置される。副ワード線SW1~SWmの一端は、対応する主ワード線W1~Wmに接続され、他端は、副メモリセルアレイ単位でワード線を選択するワード線選択トランジスタWT1~WTmの一端 (ドレイン端子) に接続される。ワード線選択トランジスタWT1~WTmのゲートは、第1のワード線選択線WSL1に接続される。ワード線選択線WSL1には書込時に活性化するワード線選択信号が供給される。ワード線選択トランジスタWT1~WTmの他端は接地線に接続される。また、副ワード線SW1~SWmの他端は、読出トランジスタRT1~RTmの一端に接続される。

読出トランジスタ  $RT1 \sim RTm$  の他端はセンスアンプ  $SA1$  に接続される。読出トランジスタ  $RT1 \sim RTm$  のゲートには、読出信号が供給される読出信号線  $RL1$  が接続される。

#### 【0025】

副ビット線  $SB1 \sim SBn$  は、夫々主ビット線  $B1 \sim Bn$  と平行に配置される。副ビット線  $SB1 \sim SBn$  の一端は、夫々副メモリセルアレイ単位でビット線を選択するビット線選択トランジスタ  $BT1 \sim BTn$  を介して対応する主ビット線  $B1 \sim Bn$  に接続される。ビット線選択トランジスタ  $BT1 \sim BTn$  のゲートには、第1のビット線選択線  $BSL1$  に接続される。ビット線選択線  $BSL1$  には書込時及び読出時に活性化するビット線選択信号が供給される。副ビット線  $SB1 \sim SBn$  の他端は書込回路  $K1$  に接続される。書込回路  $K1$  は、第1のトランジスタ群  $KD1 \sim K Dn$  及び第2のトランジスタ群  $KE1 \sim K En$  を備える。第1のトランジスタ群  $KD1 \sim K Dn$  は、例えば書込データ“1”の時活性化される第1の書込データ制御信号が供給される第1の書込制御線  $D0$  により制御される。第2のトランジスタ群  $KE1 \sim K En$  は、例えば書込データ“0”の時活性化される第2の書込データ制御信号が供給される第2の書込制御線  $E0$  により制御される。

ワード選択トランジスタ  $WT1 \sim WTm$ 、ビット選択トランジスタ  $BT1 \sim BTn$  は、それぞれMOS型トランジスタで形成される。

#### 【0026】

次に、図1を用いて本発明のセルアレイの動作を説明する。ここでは、第1の副メモリセルアレイ  $SMA1$  のメモリセル  $C11$  に書込を行うこととして説明する。

#### 【0027】

まず主ワード線  $W1$  を選択し、第1のワード選択線  $WSL1$  に選択信号を入力してワード選択トランジスタ  $WT1$  を導通状態にする。それ以外の主ワード線  $W2 \sim Wm$  は非選択とする。その結果、主ワード線  $W1$  に接続した副ワード線  $SW1$  が選択される。次に、主ワード線  $W1$  に、例えば定電流源（図示せず）を用いて書込電流を流し、書込電流を主ワード線  $W1$  から副ワード線  $SW1$  を経由してワード選択トランジスタ  $WT1$  に流す。一方それと同時に、主ビット線  $B1$  を選

択し、第1のビット選択線BSL1に選択信号を入力し、ビット選択トランジスタBT1を導通状態にする。それ以外の主ビット線は非選択とする。その結果、主ビット線B1に接続した副ビット線SB1が選択される。一方、書込み回路K1は、適宜導入する信号によりトランジスタKE1を導通させトランジスタKD1を非導通にする。この状態で、主ビット線B1に定電流源（図示せず）から供給された書込電流を流すと、書込電流は主ビット線W1からビット選択トランジスタBT1を経由して副ビット線SB1に流れる。上述と別のデータがメモリセルC11に書込まれる場合には、トランジスタKE1を非導通させトランジスタKD1を導通にする。これにより、書込電流が副ビット線SB1からビット選択トランジスタBT1を経由して主ビット線W1へと流れる。

#### 【0028】

ワード選択トランジスタWT1～WTmは、書込時に数ミリアンペアの電流を流すが、その電流は通常のMOS型トランジスタのチャネル電流aではなく、ドレイン、すなわち副ワード線SW1～SWmに接続された端子から基板に流れる電流bを利用する。（図2参照）

このような基板電流の特性を図3に示す。

#### 【0029】

図3において、横軸はMOS型トランジスタのドレイン電圧（V）、縦軸はドレイン電流（A）を表し、各曲線はゲート電圧の違いを表す。ドレイン電圧が低い間はMOS型トランジスタのチャネル電流が流れるが、ドレイン電圧が大きくなると基板電流が流れる。この傾向はゲート電圧が高くなると比較的低いドレイン電圧でも起こりやすい事が解っており、所謂スナップバック現象と言われる。スナップバック現象は、ドレインに高電圧を印加することにより、

1. ドレイン近傍でインパクトイオン化が起こり、
2. 基板に正孔が流入し、
3. ソースー基板間が順方向にバイアスされ、
4. ソースから多量の電子が基板に流入し、
5. さらにドレイン近傍でインパクトイオン化が起こって基板に正孔が流入し、正帰還状態となる。

**【0030】**

ということで発生する。要するに、スナップバック現象は、ソース（エミッタ）－基板（ベース）－ドレイン（コレクタ）の寄生バイポーラトランジスタの導通によりソースドレイン間が降伏し、ドレイン電圧が低下して負性抵抗を示す現象である。この現象はゲート長が短くなるほど発生電圧が低下する。さらにこの現象が生じると、基板方向に電流が流れるが、それは通常のMOS型トランジスタのチャネルを流れる電流ではないので、チャネル幅／チャネル長の比に比例することなく、小さなトランジスタでも大きな電流を流すことが出来る。そのため、本発明をワード選択やビット線の選択トランジスタに用いた場合、比較的小面積のレイアウトのMOS型トランジスタでも、大きな電流を流すことが出来る。

**【0031】**

例えばセルC11に書き込む場合、選択トランジスタWT1にスナップバックを起こさせるために、主ワード線W1に、図3の特性に従って4.2～7V、例えば4.2Vの電位をかけて書き込み電流を流す。主ビット線B1にも所定の電圧、例えば4.2Vを印加する。ワード選択線WSL1とビット選択線BSL2にパルス状に上記電位を印加して電流を流す。

**【0032】**

その他の非選択のワード線、ビット線には書き込み電流が流れないようにGND若しくはスナップバックを起こさせない電圧を印加する。スナップバックを起こさせない電圧として、例えば図3から0Vより大きく4.2V未満が該当する。一般的に、TMRの耐圧は1.5V程度である為、選択された主ワード線及び主ビット線に供給される電圧が4.2Vの場合、非選択のワード線、ビット線に2.7V～3.7Vの電圧を供給するのがより好ましい。この電圧が”スナップバックを起こさせない電圧”である。TMRは磁気反転に必要なレベルの電流に達しなければディスターブは起きないのでそのような電圧を設定する事が可能である。

**【0033】**

以上が、副ワード線SW1と副ビット線SB1の交点のメモリセルC11にデー



タ書込を行う方法である。

【0034】

メモリセル、例えば第1の副メモリセルアレイSMA1のメモリセルC11に書込まれたデータを読出す場合、主ビット線B1のみを選択して読出電圧を印加する。それ以外の主ビット線は非選択とする。

【0035】

選択された主ビット線B1から副ビット線SB1、メモリセルC11、副ワード線SW1、読出しトランジスタRT1を経由して読出し電流が流れる。読出し電流はセンスアンプSA1に供給され読出し電流が検出される。

【0036】

図4は、本発明の第2の実施の形態のMRAMを示す図面である。

【0037】

図4は、図1の副メモリセルアレイを複数個配列した、本発明のMRAMのメモリセルアレイを示す図面である。副メモリセルアレイはマトリックス状に配置されるが、ここでは副メモリセルアレイSMA1～SMA3を示す。図1に示した副メモリセルアレイSMA1にて詳述した点については説明を省略する。

【0038】

副メモリセルアレイSMA2は、副メモリセルアレイSMA1と主ワード線W1～Wmを共有する。副メモリセルアレイSMA2は、主ビット線Bh～Bj (h, j : 2以上の自然数、n<h, h<j) を有し、その主ビット線Bh～Bjに対応して設けられた副ビット線SB21～SB2nと、主ビット線Bh～Bjに対応して設けられた副ワード線SW21～SW2mと、上記副ワード線と副ビット線の交点に設けられたメモリセルと、を備える。すなわち、副ワード線SW11及びSW21は、主ワード線W1を共有する。したがって、副メモリセルアレイSMA1のメモリセルC11～C1n及び副メモリセルアレイSMA2のメモリセルC1h～C1jは主ワード線W1を共有する。更に、副メモリセルアレイSMA2は、ビット選択線BSL1によりその導通が制御される選択トランジスタBT2h～BT2jと、データ書込時に活性化されるワード線選択線WSL2によりその導通が制御される選択トランジスタWT21～WT2mと、データ読出時に活性化される読出選択線RSL2を有す

る。更に、副メモリセルアレイ SMA 2 は、副メモリセルアレイ SMA 1 と同様に書込回路 K 2 を有する。

#### 【0039】

副メモリセルアレイ SMA 3 は、副メモリセルアレイ SMA 1 と主ビット線 B<sub>1</sub>～B<sub>n</sub>を共有する。副メモリセルアレイ SMA 3 は、主ワード線 W<sub>g</sub>～W<sub>k</sub> (g, k : 2 以上の自然数, m<g, g<k) を有し、その主ワード線 W<sub>g</sub>～W<sub>k</sub> に対応して設けられた副ワード線 S W<sub>3g</sub>～S W<sub>3k</sub>と、主ビット線 B<sub>1</sub>～B<sub>n</sub>に対応して設けられた副ビット線 S B<sub>31</sub>～S B<sub>3n</sub>と、上記副ワード線と副ビット線の交点に設けられたメモリセルで構成される。更に、副メモリセルアレイ SMA 3 は、ビット選択線 B S L 2 によりその導通が制御される選択トランジスタ B T<sub>31</sub>～B T<sub>3n</sub>と、データ書込時に活性化されるワード線選択線 W S L 1 によりその導通が制御される選択トランジスタ W T<sub>3g</sub>～W T<sub>3k</sub>と、データ読出時に活性化される読出選択線 R S L 1 を有する。

#### 【0040】

以下、副メモリセルアレイ SMA 1 のメモリセル C<sub>11</sub>にデータを書込む動作について説明する。

#### 【0041】

主ワード線 W<sub>1</sub> を選択し、第 1 のワード選択線 W S L 1 に選択信号を入力し、ワード選択トランジスタ W T<sub>11</sub> を導通状態にする。それ以外の主ワード線 W<sub>2</sub>～W<sub>m</sub> は非選択とする。第 1 のワード選択線 W S L 1 以外のワード選択線には非選択信号を入力し、それに接続するワード選択トランジスタは非導通状態とする。その結果、主ワード線 W<sub>1</sub> に接続した副ワード線のうち、副ワード線 S W<sub>11</sub> のみが選択される。そこで主ワード線 W<sub>1</sub> に書込電流を流すと、書込電流は選択された主ワード線 W<sub>1</sub> から選択された副ワード線 S W<sub>11</sub>、選択されたワード選択トランジスタ W T<sub>11</sub> を流れる。一方それと同時に、主ビット線 B<sub>1</sub> を選択し、第 1 のビット選択線 B S L 1 に選択信号を入力し、ビット選択トランジスタ B T<sub>11</sub> を導通状態にする。それ以外の主ビット線は非選択とする。さらに第 1 のビット選択線 B S L 1 以外のビット選択線には非選択信号を入力し、それに接続するビット選択トランジスタは非導通状態とする。その結果、主ビット線 B<sub>1</sub> に接続した副

ビット線のうち、副ビット線SB11のみが選択される。そこで主ビット線B1に書込電流を流すと、書込電流は選択された主ビット線W1から選択された副ビット線SB11、選択されたビット選択トランジスタBT11を流れる。

#### 【0042】

その結果、副ワード線SW11と副ビット線SB11の交点のメモリセルC11が選択されて書込が行われる。

#### 【0043】

メモリセルのデータ読出しは、例えば第1の副メモリセルアレイSMA1のメモリセルC11に格納されたデータを読出す場合、例えば主ビット線B1のみを選択して読出し電圧を印加する。それ以外の主ビット線は非選択とする。第1のワード選択線WSL1を選択し、それ以外のワード選択線は非選択とする。

#### 【0044】

選択された主ビット線B1から副ビット線SB11を介してメモリセルC11、副ワード線SW11、を読出し電流が流れる。その読出し電流は読出しトランジスタRT11、センス線SL1を経由してセンスアンプSA1に供給される。

#### 【0045】

ワード選択トランジスタWT11～WT1m、WT21～WT2m、WT3g～WT3kは、書込時に数ミリアンペアの電流を流すが、その電流は通常のMOS型トランジスタのチャネル電流ではなく、ドレイン、すなわち副ワード線SW11～SW1m、SW21～SW2m、SW3g～SW3kに接続された端子から基板に流れる電流を利用する。

#### 【0046】

図5は、図4の副メモリセルアレイを複数個配置した本発明のMRAM概略図である。

#### 【0047】

副メモリセルアレイSMA1～SMA4がマトリックス状に配置されている。

副メモリセルアレイSMA1の左端にXデコーダ／書込回路X1が配置されている。このXデコーダ／書込回路X1は、副メモリセルアレイSMA1及びSM

A 2 に共通に接続されている主ワード線 W1 ~ W<sub>m</sub> を X アドレス XADD に基づいて駆動する。副メモリセルアレイ SMA 3 の左端に X デコーダ／書込回路 X 2 が配置されている。この X デコーダ／書込回路 X 2 は、副メモリセルアレイ SMA 3 及び SMA 4 に共通に接続されている主ワード線 W1 ~ W<sub>m</sub> を X アドレス XADD に基づいて駆動する。

#### 【0048】

副メモリセルアレイ SMA 1 の上端には、Y デコーダ／書込回路 Y 1 が配置されている。この Y デコーダ／書込回路 Y 1 は、副メモリセルアレイ SMA 1 及び SMA 3 に共通に接続されている主ビット線 WB1 ~ B<sub>n</sub> を Y アドレス YADD に基づいて駆動する。副メモリセルアレイ SMA 2 の上端に Y デコーダ／書込回路 Y 2 が配置されている。この Y デコーダ／書込回路 Y 2 は、副メモリセルアレイ SMA 2 及び SMA 4 に共通に接続されている主ビット線 B1 ~ B<sub>m</sub> を Y アドレス XADD に基づいて駆動する。

#### 【0049】

副メモリセルアレイ SMA 2 の右端には、センスアンプ SMA 1 が配置されている。副メモリセルアレイ SMA 1 及び SMA 2 から読み出された信号はこのセンスアンプ SMA 1 に転送され、センスアンプ SMA 1 はその信号を増幅する。

#### 【0050】

副メモリセルアレイ SMA 4 の右端には、センスアンプ SMA 2 が配置されている。副メモリセルアレイ SMA 3 及び SMA 4 から読み出された信号はこのセンスアンプ SMA 2 に転送され、センスアンプ SMA 2 はその信号を増幅する。

#### 【0051】

副メモリセルアレイ SMA 1 及び SMA 2 の間に副メモリセルアレイ SMA 1 用の書込回路 K 1 が配置される。書込回路 K 1 の出力は夫々副ビット線 SB1 ~ SB<sub>n</sub> に接続される。書込回路 K 1 は、書込データ情報を受ける書込制御回路 3, 4 の出力 D0、E0 に基づいて副ビット線を電源線及び接地線の一方に接続する。

#### 【0052】

副メモリセルアレイ SMA 2 の下端、副メモリセルアレイ SMA 3 の下端、副

メモリセルアレイ SMA 4 の下端に、対応する書込回路 K 2 ～ 4 が配置される。これらの書込回路 K 2 ～ 4 も書込回路 K 1 と同様に対応する副メモリセル内の副ビット線を書込データ情報に基づいて夫々電源線又は接地線に接続する。

#### 【0053】

副メモリセルアレイ SMA 1 の左端及び X デコーダ／書込回路 X 1 の上端の位置に、第 1 の B S L ドライバ 1 が配置される。この第 1 の B S L ドライバは副メモリセルアレイ SMA 1 及び SMA 2 用のビット選択線 B S L 1 を導出し、Y アドレス情報に応答してその選択線が活性化するとき主ビット線及びそれと対応する副メモリセルアレイ SMA 1 及び SMA 2 の副ビット線を電氣的に接続させる。

#### 【0054】

副メモリセルアレイ SMA 3 の左端及び X デコーダ／書込回路 X 2 の上端の位置に、第 2 の B S L ドライバ 2 が配置される。この第 2 の B S L ドライバは副メモリセルアレイ SMA 3 及び SMA 4 用のビット選択線 B S L 2 を導出し、Y アドレス情報に応答してその選択線が活性化するとき主ビット線及びそれと対応する副メモリセルアレイ SMA 3 及び SMA 4 の副ビット線を電氣的に接続させる。

#### 【0055】

第 1 の W S L ／ R S L ドライバ 5 は、副メモリセルアレイ SMA 1 及び SMA 3 の副ワード線を書込み時選択する信号 W S L 1 を出力し、副メモリセルアレイ SMA 1 及び SMA 3 の副ワード線を読出し時選択する信号 R S L 1 を出力する回路である。第 2 の W S L ／ R S L ドライバ 6 は、副メモリセルアレイ SMA 2 及び 4 の副ワード線を選択する信号 W S L 2 を出力し、副メモリセルアレイ SMA 2 及び SMA 4 の副ワード線を読出し時選択する信号 R S L 2 を出力する回路である。それらの W S L 及び R S L ドライバは、X A D D 及び書込み読出し情報に基づき駆動される。

#### 【0056】

副メモリセルアレイ SMA 1 のメモリセル C11 にデータを書込むとき、X A D D に応答して X デコーダ／書込回路 X 1 は主ワード線 W 1 を選択し、Y A D D に

応答してYデコーダ／書込回路Y1は主ビット線B1を選択する。第1のBSLドライバ及び第1のWSL／RSLドライバは、夫々アドレス信号に応答してビット線選択信号BSL1及びワード線選択信号WSL1を活性化する。読出選択信号RSL1、2は活性化されない。これにより、メモリセルC11が属する副メモリセルアレイSMA1が選択される。

#### 【0057】

本実施例では、ワード線において本発明を適用し、ビット線には従来の構成を表したが逆の場合、すなわちビット線において本発明を適用し、ワード線には従来の構成を用いても良い。

#### 【0058】

ワード線の選択やビット線の選択トランジスタの電流経路にチャネル電流を用いるのではなく、基板電流を利用するので、チャネルのW/Lに依存することなく、小さなトランジスタ面積で大きな電流を流すことが出来る。その結果、メモリセルアレイの面積を縮小出来る。

#### 【0059】

図6は、本発明のMRAMを用いた更に他の実施例を示した模式図である。

#### 【0060】

この実施例のMRAMは、Xデコーダ／書込回路に接続された主ワード線MWLと、主ワード線に接続された副ワード線SWLと、副ワード線に接続されたワード線選択トランジスタWTと、主ビット線MBLと、主ビット線に接続された副ビット線SBLと、副ビット線SBL及び副ワード線の間に設けられたTMRメモリセルCとを有するものである。すなわち、この構成は、図1に示されるMRAMと実質的に何ら変わらない。

#### 【0061】

この実施例では、主ワード線MWL（図4：W1～Wm、Wg～Wkに相当）や、副ワード線（図4：SW11～SW1m、SW21～SW2m、SW3g～SW3k）が有する静電容量Cmw、Cswを利用してメモリセルCにデータを書込む。まずXデコーダ／書込回路は、主ワード線MWL及び副ワード線SWLに予め所定の電圧を印加して、それらの静電容量に電荷（正電荷、負電荷）を蓄積する。それらの蓄

積電荷を、それぞれ $Q_{mw}$ 、 $Q_{sw}$ とする。同様に、主ビット線 $MBL$ （図4： $B1 \sim Bn$ 、 $Bh \sim Bj$ に相当）や、副ビット線（図4： $SB11 \sim SB1n$ 、 $SB21 \sim SB2n$ 、 $SB31 \sim SB3n$ ）が有する静電容量を利用して、まず予め所定の電圧を印加して、それらの静電容量に電荷を蓄積する。

#### 【0062】

次に、選択すべきメモリセルに接続する副ワード線 $SWL$ に接続した選択トランジスタ $WT$ の信号入力ゲート電極 $V_g$ に所定の入力信号を印加し、選択トランジスタ $WT$ がスナップバック状態に入るようにする。同時に選択すべきメモリセル $C$ に接続する副ビット線 $SBL$ に接続した選択トランジスタ（図示せず）も所定のタイミングで所定の電圧を印加する。その結果、主ワード線 $MBL$ 、副ワード線 $SWL$ 、主ビット線 $MBL$ 、副ビット線 $SBL$ に蓄積してあった電荷がそれぞれ選択トランジスタを介して一時に放電され、それが放電電流（図6では副ワード線の放電電流 $I_c$ のみを表示）として流れ、その電流により誘起された誘起磁界が生じメモリセル $C$ の磁界反転が実現してメモリセル $C$ に対してデータ書込みが実行される。

#### 【0063】

前述の2本の選択線によりメモリセル $C$ に書込みを成している際、一方の選択線と非選択線との交点のメモリセルの破壊が起きないように、例えばドレイン電圧1V程度でスナップバックを起こさせるように選択トランジスタ $WT$ の構造を最適化するのが好ましい。この方法により、トンネル膜の膜厚に依存するTMRの耐圧をほぼ現状の耐圧（1.5V程度）で可能となる。

#### 【0064】

具体的には、図6の選択トランジスタ $WT$ のスナップバックドレイン耐圧を1V程度に設定する。予め書き込みを実施するメモリセル $C$ の主ワード線 $MWL$ ／副ワード線 $SWL$ 、主ビット線 $MBL$ ／副ビット線 $SBL$ を1V程度にプリチャージする。その他の主ワード線／副ワード線、主ビット線／副ビット線は $GND$ もしくは0.5V程度を印加する。

#### 【0065】

書き込み開始の信号で、ワード選択線にスナップバックに必要な電圧を与え

ット選択線に所定の電圧を供給する。選択トランジスタWTをスナップバック状態にし、選択トランジスタBTを導通させて、プリチャージされた電荷を一気に放電する。その放電電流でメモリセルCにデータを書き込む。

#### 【0066】

この実施例によれば、一旦充電した電荷を用いて瞬間的な放電電流でメモリセルに書込みを行うため定電流源を使用する必要が無く、定常的な書込み電流、例えば、実施例1のように書き込み電流を流す際に定電流源により供給された書込み電流を利用して書込みを行う方法に比べ、書込み電流を削減できるという効果がある。

#### 【0067】

この実施例では、書込み電流が主ワード線から副ワード線へ流れる方向について記述したが、書込み電流が主ビット線から副ビット線へ流れる方向であってもよい。

#### 【0068】

なお、この発明は上記実施例に限定されるものではなく要旨を変更しない範囲において種々変更して実施することができる。

#### 【0069】

##### 【効果の説明】

以上説明したように、本発明によれば、面積を削減することができる。

##### 【図面の簡単な説明】

##### 【図1】

図1は、本発明の第1の実施の形態のMRAMを示す図面である。

##### 【図2】

図2は、図1に示した選択トランジスタWTの動作を模式的に示す図面である。

。

##### 【図3】

図3は、図1に示した装置の書込電流を示す図面である。

##### 【図4】

図4は、本発明の第2の実施の形態のMRAMを示す図面である。



**【図 5】**

図 5 は、本発明の第 3 の実施の形態の M R A M を示す図面である。

**【図 6】**

図 6 は、本発明の第 4 の実施の形態の M R A M を示す図面である。

**【図 7】**

図 7 は、M R A M セルの構造及び記憶動作を示す模式図である。

**【図 8】**

図 8 は、M R A M セルの書込み方法を示す図面である。

**【図 9】**

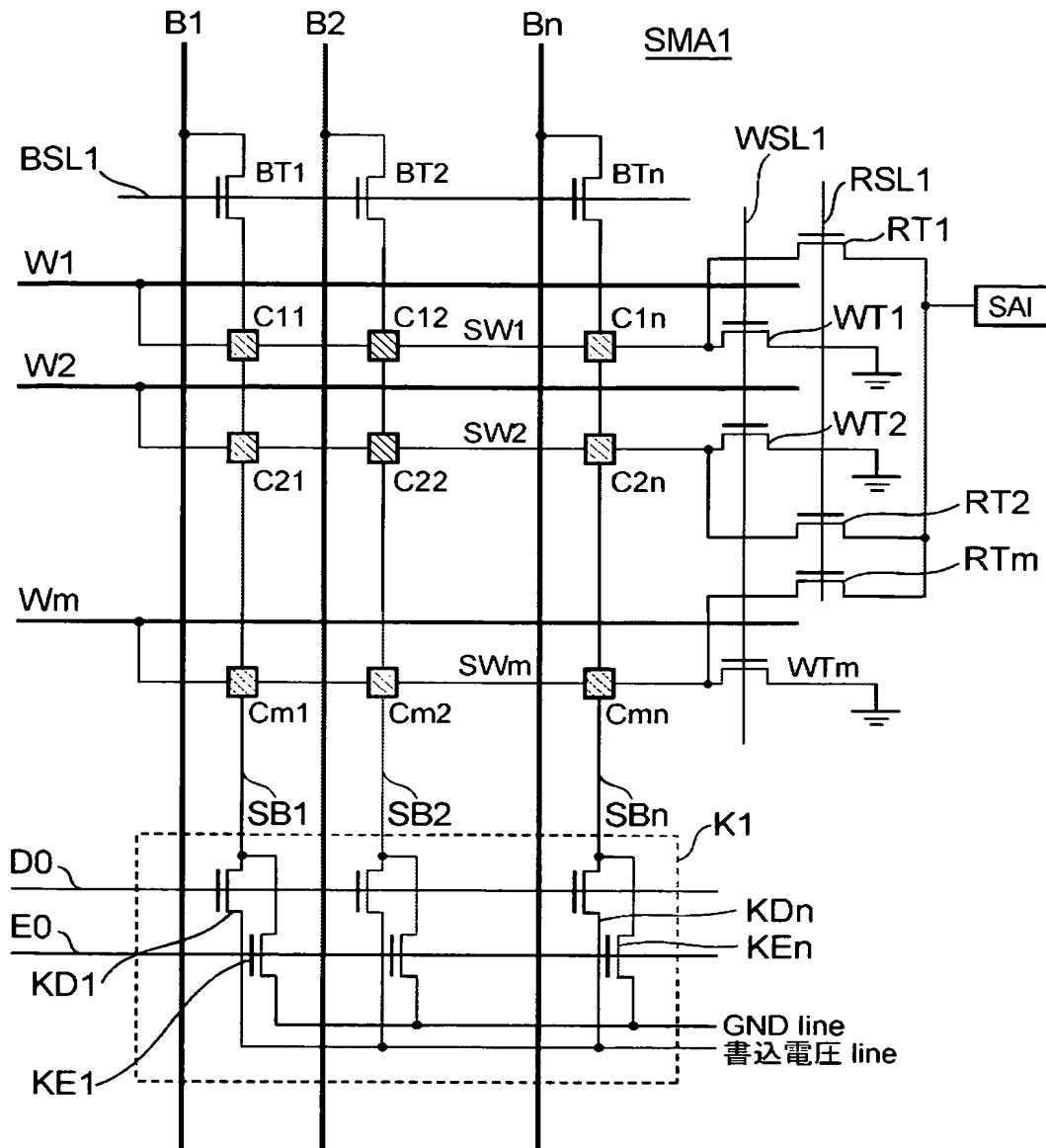
図 9 は、従来 M R A M セルアレイを示す図面である。

**【符号の説明】**

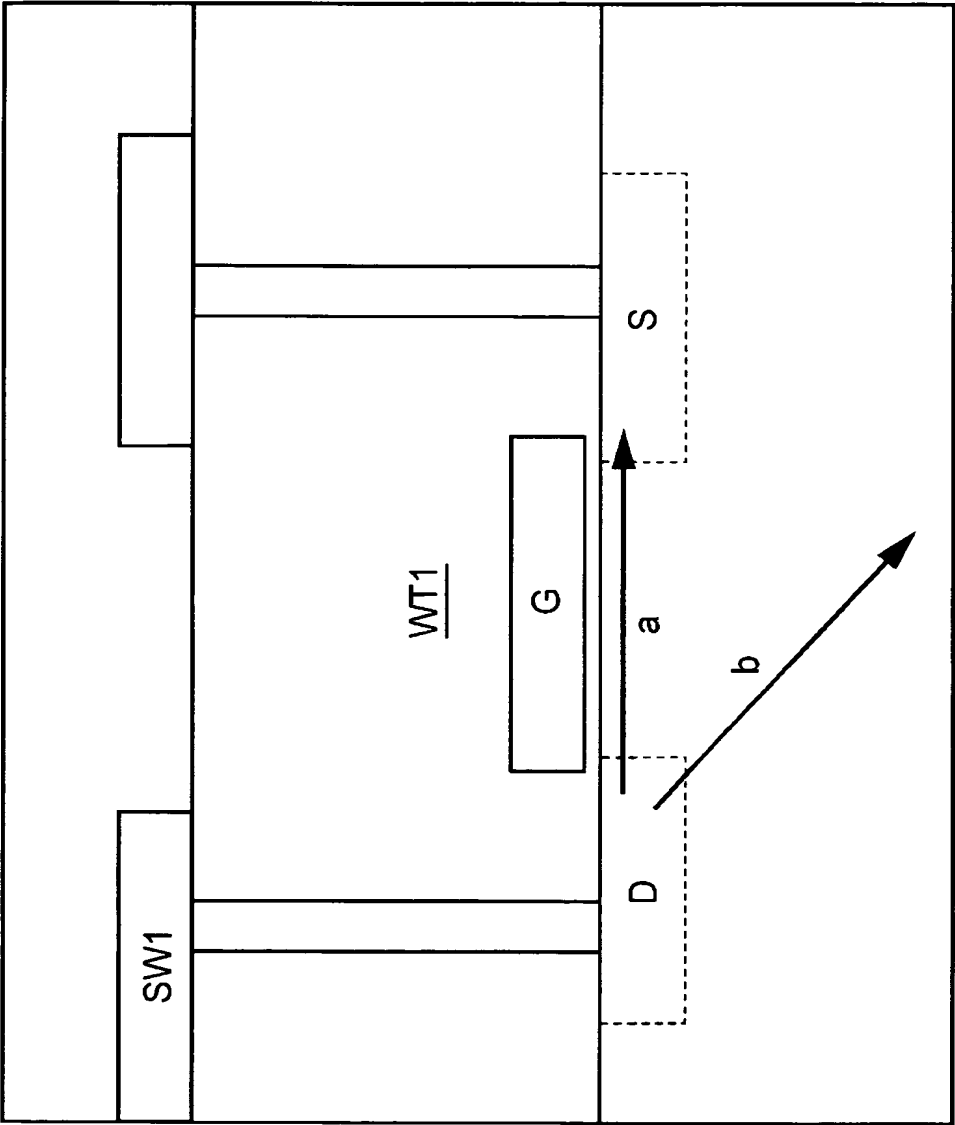
W1～Wm	主ワード線
S W1～S Wm	副ワード線
B1～Bn	主ビット線
S B1～S Bn	副ビット線
B T1	ビット線選択線
W S L1	ワード線書込選択線
R S L1	ワード線読出選択線
C11～Cmn	M R A M (T M R) メモリセル
B T1～B Tn	ビット線選択トランジスタ
W T1～W Tm	ワード線書込選択トランジスタ
R T1～R Tm	ワード線読出選択トランジスタ
K 1	書込回路

【書類名】 図面

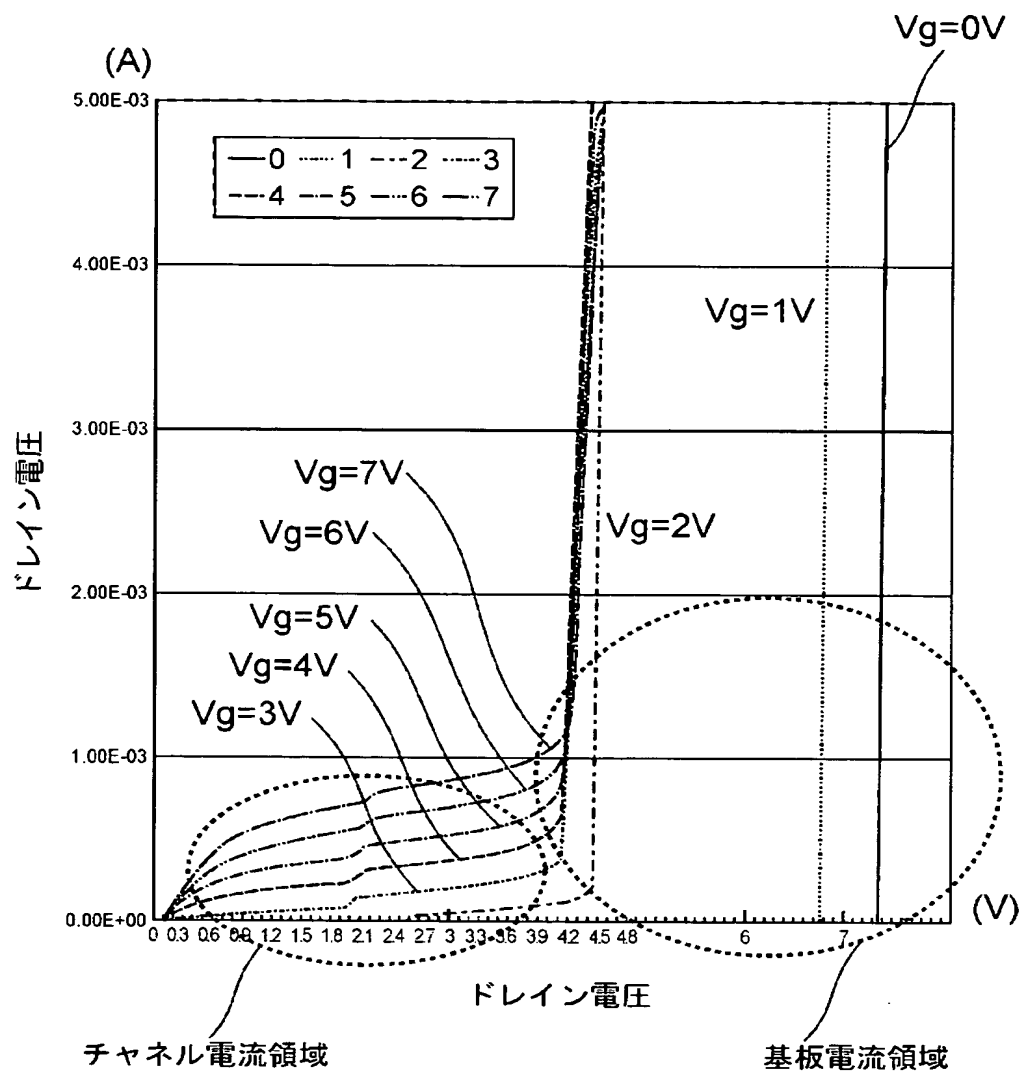
【図 1】



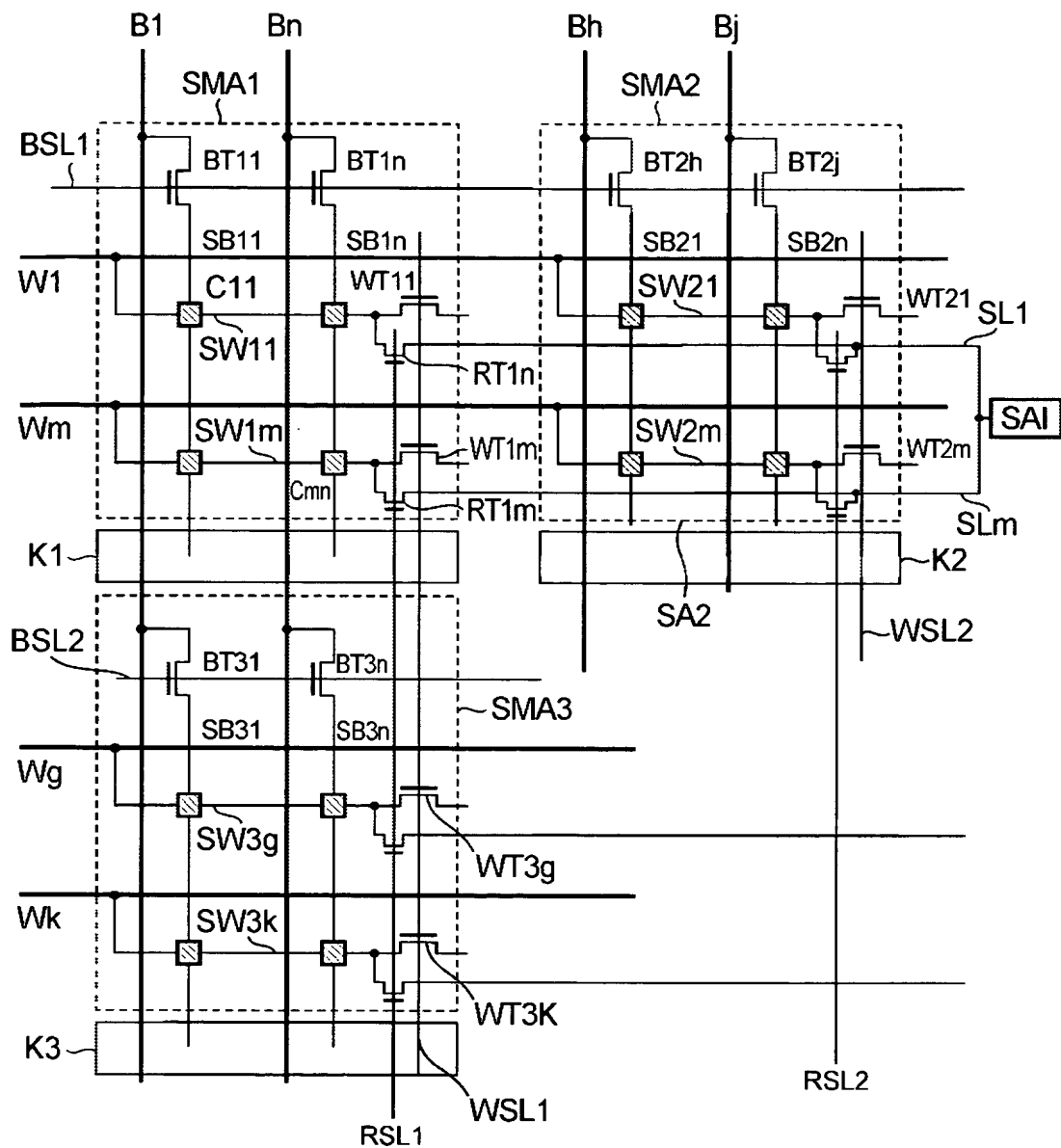
【図 2】



【図 3】

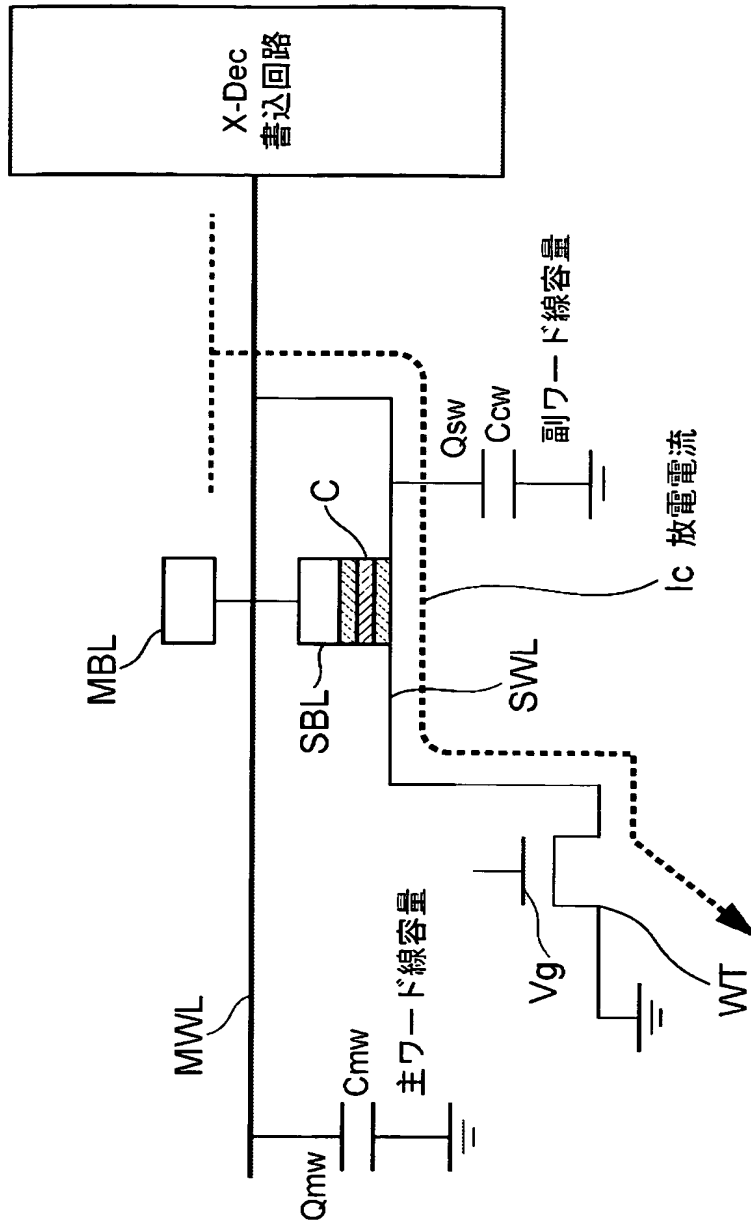


【図 4】



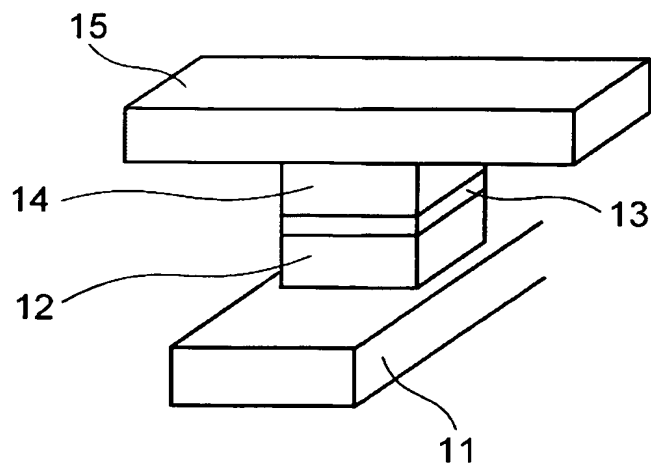


【図 6】

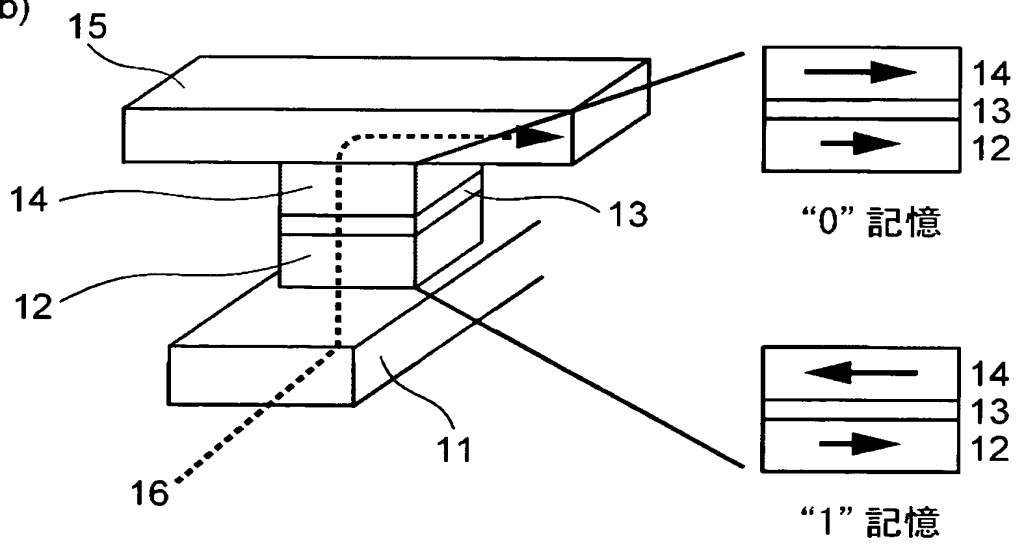


【図 7】

(a)

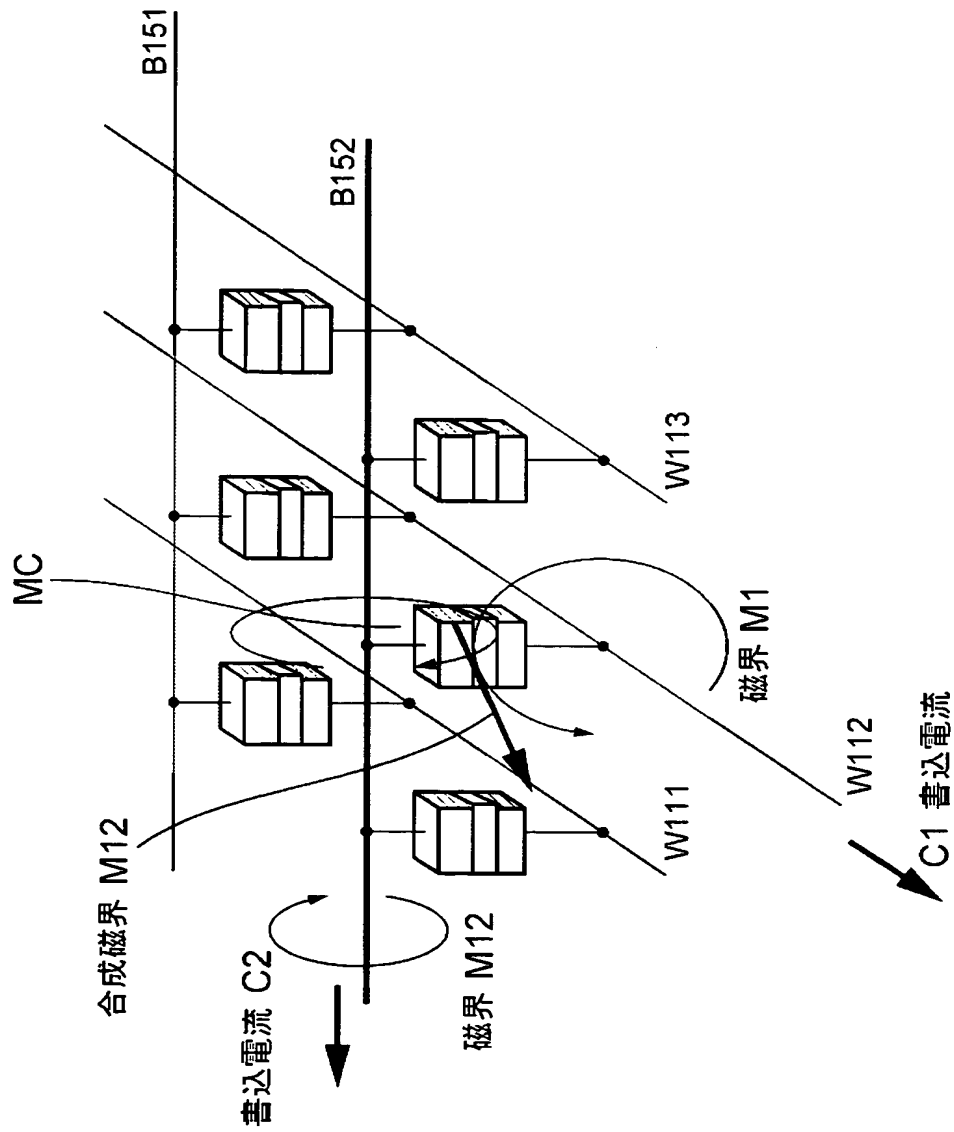


(b)

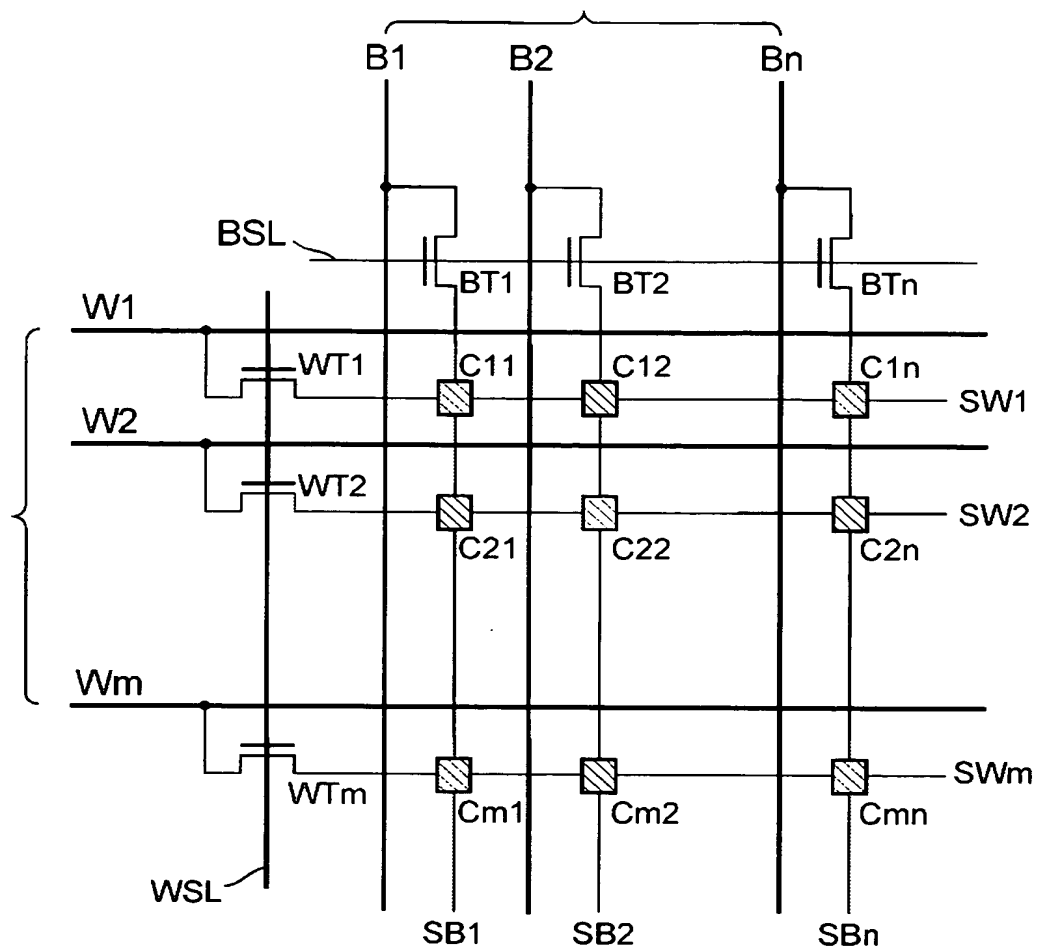




【図 8】



【図 9】



【書類名】 要約書

【課題】 主ワード線、副ワード線の間を選択トランジスタが設けられているが、主ワード線から選択トランジスタを経由して副ワード線へと電流を流す際、その電流量が選択トランジスタのサイズで制限されるという問題がある。

【要約】 主副構造を成すMRAMにおいて、主ワード線、副ワード線、選択トランジスタの順で選択トランジスタを設ける。選択トランジスタはスナックバック現象を起こすように駆動される。これにより、チャネル電流でなく基板電流を用いてメモリセルに書込みが可能となる。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 8 5 4 9
受付番号	5 0 2 0 1 5 9 7 1 9 5
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 4 年 1 0 月 2 4 日

## &lt; 認定情報・付加情報 &gt;

【提出日】	平成14年10月23日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-308549

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-318488の出願人名義変更届（一般承継）に添付のものを援用する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月10日提出の特願2002-318488の出願人名義変更届（一般承継）に添付のものを援用する。

【包括委任状番号】 0215753

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 8 5 4 9
受付番号	5 0 3 0 0 0 3 3 3 1 4
書類名	出願人名義変更届（一般承継）
担当官	小野寺 光子 1 7 2 1
作成日	平成 1 5 年 2 月 1 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月10日
-------	-------------

次頁無

特願 2 0 0 2 - 3 0 8 5 4 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特 願 2 0 0 2 - 3 0 8 5 4 9

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1 . 変 更 年 月 日

2 0 0 2 年 1 1 月 1 日

[ 変 更 理 由 ]

新 規 登 録

住 所

神 奈 川 県 川 崎 市 中 原 区 下 沼 部 1 7 5 3 番 地

氏 名

N E C エ レ ク ト ロ ニ ク ス 株 式 会 社